

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-167191

(43)Date of publication of application : 02.07.1993

(51)Int.Cl.

H01S 3/18

(21)Application number : 03-353614

(71)Applicant : FURUKAWA ELECTRIC CO LTD:THE

(22)Date of filing : 18.12.1991

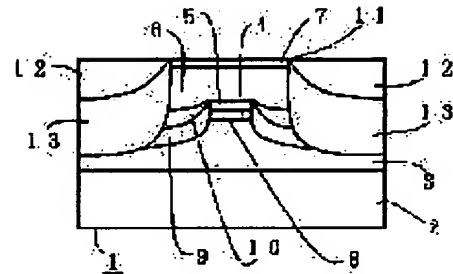
(72)Inventor : KASUKAWA AKIHIKO

(54) BURIED TYPE SEMICONDUCTOR LASER ELEMENT

(57)Abstract:

PURPOSE: To obtain a buried type semiconductor laser element wherein reliability is not decreased in the case of high temperature driving.

CONSTITUTION: Current blocking layers 9, 10 which constrict a current by a PN reverse junction of a semiconductor layer are formed on both sides of a first ridge mesa 8 constituted by laminating an active layer 4 on a semiconductor substrate 2, and in the lamination direction of the active layer 4, and a semiinsulative layer 13 is formed on both sides of a second ridge mesa 11 formed of at least the current blocking layers 9, 10 and the first ridge mesa 8, and in the lamination direction of the current blocking layers 9, 10.



LEGAL STATUS

[Date of request for examination] 18.03.1997

[Date of sending the examiner's decision of rejection] 29.06.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(10)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-167191

(43)公開日 平成5年(1993)7月2日

(51)Int.Cl.

H01S 3/18

識別記号

庁内整理番号

9170-4M

FI

技術表示箇所

審査請求 未請求 請求項の数(全 8 頁)

(21)出願番号 特願平3-353614

(22)出願日 平成3年(1991)12月18日

(71)出願人 000006290

古河電気工業株式会社

東京都千代田区丸の内2丁目6番1号

(72)発明者 稲川 秋彦

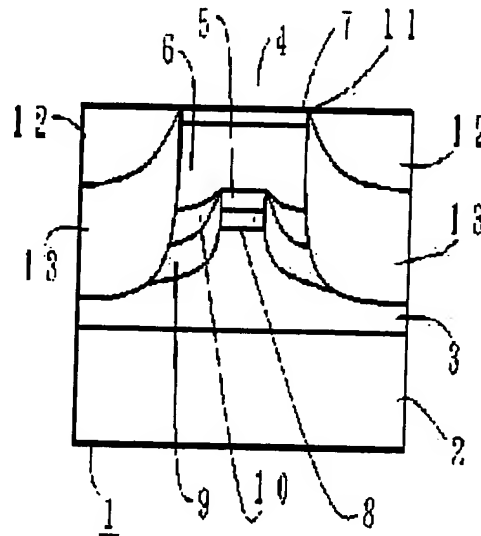
東京都千代田区丸の内2丁目6番1号 古河電気工業株式会社内

(54)【発明の名称】 埋め込み型半導体レーザ素子

(57)【要約】

【目的】 高温駆動の際にも信頼性が低下しない埋め込み型半導体レーザ素子を提供する。

【構成】 半導体基板2上に活性層4が積層されて成る第1のリッジメサ8の両側で、且つ活性層4の積層方向に半導体層のp-n逆接合により電流挟窄を行う電流阻止層9、10が設けられ、少なくとも電流阻止層9、10、および第1のリッジメサ8で形成された第2のリッジメサ11の両側で、且つ電流阻止層9、10の積層方向に半絶縁層13が設けられていることを特徴とする。



【特許請求の範囲】

【請求項 1】 半導体基板上に活性層が積層されて成る第 1 のリッジメサの両側で、且つ前記活性層の積層方向に、半導体層の p-n 逆接合により電流狭窄を行う電流阻止層が設けられ、少なくとも前記リッジメサ、および前記電流阻止層で形成された第 2 のリッジメサの両側で、且つ前記電流阻止層の積層方向に、半絶縁層が設けられていることを特徴とする埋め込み型半導体レーザ素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、光通信の光源として用いられる埋め込み型半導体レーザ素子の改良に関するものである。

【0002】

【従来技術】 光通信の光源として用いられる半導体レーザ素子は、高速変調、および低容量化が望まれているが、これらの特性を満足する半導体レーザ素子の構造としては、埋め込み型（BH構造）の半導体レーザ素子が一般的である。

【0003】 図 2 に従来から一般的に提案されている埋め込み型半導体レーザ素子 14 を示す。本図の埋め込み型半導体レーザ素子 14 は、n 型の InP より成る半導体基板 15 上に、n 型の InP より成るバッファ層 16 と、ノンドープの GaInAsP より成る活性層 17（エネルギーバンドギャップ波長 = 1.3 μm）と、InP より成るクラッド層 18、19 と、GaInAs より成るコンタクト層 20 とが、有機金属気相成長法（MOCVD 法）等のエビタキシャル成長法により順次積層されている。クラッド層 18 の上端からバッファ層 16 に至までエッチングが施された箇所に p 型の InP より成る電流阻止層 21 と、n 型の電流阻止層 22 とが設けら

れ、電流阻止層 21、22、クラッド層 19、およびコンタクト層 20 の一部には、素子の低容量化を図るために溝 23 が形成されており、溝 23 の内面、およびコンタクト層 20 上には SiO₂ より成る絶縁膜 24 が設けられている。

【0004】

【発明が解決しようとする課題】 しかしながら従来の埋め込み型半導体レーザ素子 14 においては以下に示すような問題点があった。即ち、絶縁膜 24 が設けられた溝 23 が活性層 17 の近傍に形成されており、且つ活性層 17 と絶縁膜 24 との熱膨張係数が異なるため、活性層 17 に応力が加わって活性層 17 が歪んでしまい、その結果、埋め込み型半導体レーザ素子 14 の長期信頼性を低下させていた。

【0005】

【発明の目的】 本発明は前記問題点に鑑みなされたものでその目的とするところは、高温駆動の際にも信頼性が低下しない埋め込み型半導体レーザ素子を提供する。

【0006】

【課題を解決するための手段】 前記目的を達成するための本発明の構成は、半導体基板上に活性層が積層されて成る第 1 のリッジメサの両側で、且つ前記活性層の積層方向に、半導体層の p-n 逆接合により電流狭窄を行う電流阻止層が設けられ、少なくとも前記リッジメサ、および前記電流阻止層で形成された第 2 のリッジメサの両側で、且つ前記電流阻止層の積層方向に、半絶縁層が設けられていることを特徴とする。

【0007】

【作用】 本発明によれば、活性層と熱膨張係数の異なる絶縁膜を有する溝が、活性層近傍に形成されていないので、高温駆動させた際にも活性層に応力が加わらなくなり、活性層が歪まなくなる。

【0008】

【実施例】 本発明の実施例を図を参照して詳細に説明する。

【0009】 図 1 は本発明の一実施例を示す断面図である。本図の埋め込み型半導体レーザ素子 1 は、厚さ 350 μm で n 型の InP から成る半導体基板 2 上に、厚さ 1 μm で n 型の InP から成るバッファ層 3 と、厚さ 0.1 μm でノンドープの GaInAsP から成る活性層 4（エネルギーバンドギャップ波長 1.3 μm）と、厚さ 0.5 μm で p 型の InP から成るクラッド層 5 と、厚さ 2 μm で p 型の InP から成るクラッド層 6 と、厚さ 0.3 μm で p 型の GaInAs から成るコンタクト層 7 とが、有機金属気相成長法（MOCVD 法）等のエビタキシャル成長法により順次積層されており、活性層 4 の表面からバッファ層 3 に至までエッチングが施されて形成された第 1 のリッジメサ 8 の両側には、厚さ 2 μm で p 型の InP から成る電流阻止層 9 と、厚さ 1 μm で n 型の InP から成る電流阻止層 10 とが設けられている。さらに、コンタクト層 7 の表面からバッファ層 3 に至までエッチングが施されて形成された第 2 のリッジメサ 11 の両側には、厚さ 0.7 μm で n 型の InP 層 12、および厚さ 3 μm で Fe がドーピングされた InP、又はポリイミドより成る半絶縁層 13 とが設けられている。

【0010】 本構造によれば、半導体層の p-n 逆接合を用いた電流阻止層 9、10 により電流狭窄を行っているため、低い電圧駆動が可能であり、また、埋め込み型半導体レーザ素子 1 の低容量化の方法としては、第 2 のリッジメサ 11 の両側に設けられた半絶縁層 13 により実現されている。

【0011】 次に、埋め込み型半導体レーザ素子 1 の製造方法を説明する。

【0012】 先ず、半導体基板 2 上に、バッファ層 3 と、活性層 4 と、クラッド層 5 とを有機金属気相成長法（MOCVD 法）等のエビタキシャル成長法を用いて順次積層する。(1)

次に、クラッド層5上にマスクを形成した後、公知のフォトリソグラフィにより活性層4の表面からバッファ層3に至までエッチングを施し、幅約1.5 μ mの第1のリッジメサ8を形成する。(2)

【0013】続いて、活性層4上にSiO₂より成るマスクを形成した後、エッチングを施した箇所に電流阻止層9を形成した後、さらに電流阻止層10を活性層4の積層面と等しくなるまで選択成長する。(3)

さらに、マスクを除去した後、活性層4と電流阻止層10上に、2回目の有機金属気相成長法等によりクラッド層6と、コンタクト層7とを順次積層する。(4)

【0014】次に、コンタクト層7上にマスクを形成した後、公知のフォトリソグラフィによりコンタクト層7の表面からバッファ層3に至までエッチングを施し、幅約5~20 μ mの第2のリッジメサ11を形成する。(5)

続いて、コンタクト層7上にSiO₂より成るマスクを形成した後、エッチングを施した箇所に3回目の有機金属気相成長法等により半絶縁層13とInP層12とを順次積層して埋め込み型半導体レーザ素子1を完成させる。(6)

尚、半絶縁層13がポリイミドの時は、エピタキシャル成長法による連続成長は行わない。また、上記作成方法において、(6)の工程を(3)の工程の次に行ってもよい。

【0015】尚、各半導体層の膜厚は本実施例に限定されるものではなく、また活性層4も本実施例のようなバルク構造ではなく、量子井戸構造、あるいは歪量子井戸構造であってもよい。本実施例の埋め込み型半導体レー

ザ素子1によれば、活性層4と熱膨張係数の異なる絶縁膜を有する溝が、活性層4の近傍に設けられていないので、高温で駆動させた際にも活性層4に応力が加わらなくなり、信頼性が低下しなくなる。

【0016】

【発明の効果】本発明の埋め込み型半導体レーザ素子によれば、活性層と熱膨張係数の異なる絶縁膜が形成された溝が、活性層の近傍に設けられていないので、高温駆動させた際にも活性層に応力が加わらなくなり、活性層は歪まなくなる。従って、高温駆動の際にも埋め込み型半導体レーザ素子の信頼性が低下しなくなる。

【図面の簡単な説明】

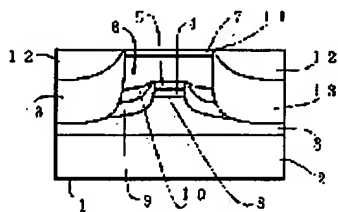
【図1】図1は本発明の一実施例を示す断面図である。

【図2】従来例を示す断面図である。

【符号の説明】

- 1 埋め込み型半導体レーザ素子
- 2 半導体基板
- 3 バッファ層
- 4 活性層
- 5 クラッド層
- 6 クラッド層
- 7 コンタクト層
- 8 第1のリッジメサ
- 9 電流阻止層
- 10 電流阻止層
- 11 第2のリッジメサ
- 12 InP層
- 13 半絶縁層

【図1】



【図2】

